



- Trabalho teórico-prático n.º 3 -
- Implementação de conversor BCD-7segmentos com lógica MSI

1 Objectivos

No final deste trabalho laboratorial, deverão compreender e comentar de forma eficiente os objectivos seguintes.

Funcionamento do demultiplexer. Implementação de funções combinacionais com circuitos MSI. . Implementação de funções combinacionais com circuitos DEMUX. Funcionamento do conversor BCD – 7 segmentos.

2 Equipamento a utilizar

CI 74160 – contador decimal síncrono (gerador de sequência)

CI 7404 – 6 inversores

CI 74154 - decodificador 4 de 16 bits

CI 7403 - 4 portas NAND de 2 entradas

CI 7410 – 3 portas NAND de 3 entradas

CI 7422 – 2 portas NAND de 4 entradas

CI 7430 – 1 porta NAND de 8 entradas

CI 7447 – conversor BCD – 7 segmentos

display de 7 segmentos

1 fonte de alimentação com placa e leds

fios condutores

Nota: são apenas referidos os CI, não a quantidade necessária à implementação do sistema. Essa quantidade será solicitada pelos alunos dependendo da forma como projectaram o sistema. Os alunos deverão consultar o “data book” do respectivo integrado antes de se apresentarem na aula e poderão ainda solicitar outros CI que não os indicados acima se for justificado. Deixa-se assim ao cuidado do aluno a implementação de portas lógicas equivalentes. Toda a informação está disponível em:

<http://www.estv.ipv.pt/PaginasPessoais/aaferreira/homep2.html>

<http://www.estv.ipv.pt/PaginasPessoais/egouveia/homep2.html>

3 Sistema

3.1 Implementação de conversor BCD com demultiplexer

Pretende-se a implementação da seguinte tabela de verdade a partir de demultiplexagem, sendo o objectivo visualizar num display de 7 segmentos o valor decimal correspondente ao valor binário existente nas entradas do(s) demultiplexer(es)(figura 1). Os valores decimais a visualizar serão gerados de forma sequencial. Assim, e à semelhança do que fizeram no TP2 terão de implementar no V/ sistema o módulo contador 74161 (gerador de sequência), de 4 bits de forma a possibilitar ao sistema a realização de sequência automática de números de 0 a 9. Para V/ comodidade o componente é ilustrado na figura 2.



Tabela 1 – TV para implementação

	A	B	C	D	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	1	1	0	0	1	1	1	1
2	0	0	1	0	0	0	1	0	0	1	0
3	0	0	1	1	0	0	0	0	1	1	0
4	0	1	0	0	1	0	0	1	1	0	0
5	0	1	0	1	0	1	0	0	1	0	0
6	0	1	1	0	1	1	0	0	0	0	0
7	0	1	1	1	0	0	0	1	1	1	1
8	1	0	0	0	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	1	1	0	0
10	1	0	1	0	x	x	x	x	x	x	x
11	1	0	1	1	x	x	x	x	x	x	x
12	1	1	0	0	x	x	x	x	x	x	x
13	1	1	0	1	x	x	x	x	x	x	x
14	1	1	1	0	x	x	x	x	x	x	x
15	1	1	1	1	x	x	x	x	x	x	x

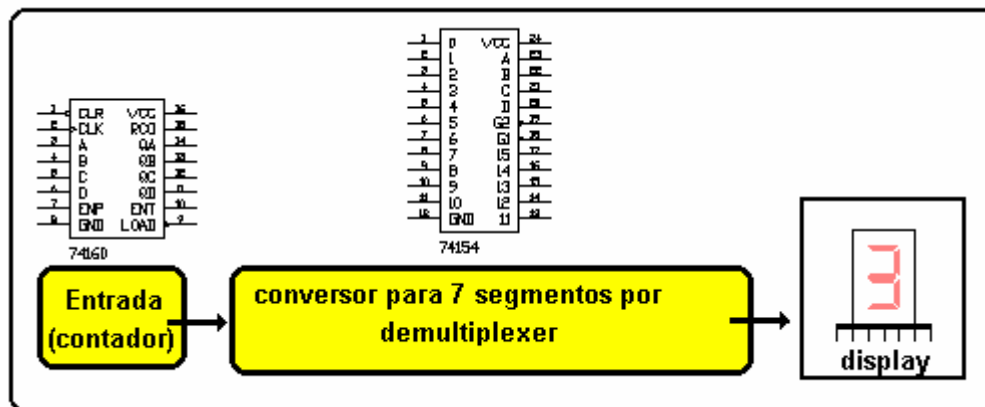


Figura 1 - Esquema explicativo do sistema

Para levar a efeito o pretendido deverão elaborar:

- a) o diagrama de blocos do sistema
- b) o desenho do diagrama lógico;
- c) a simulação em SW disponível em laboratório.

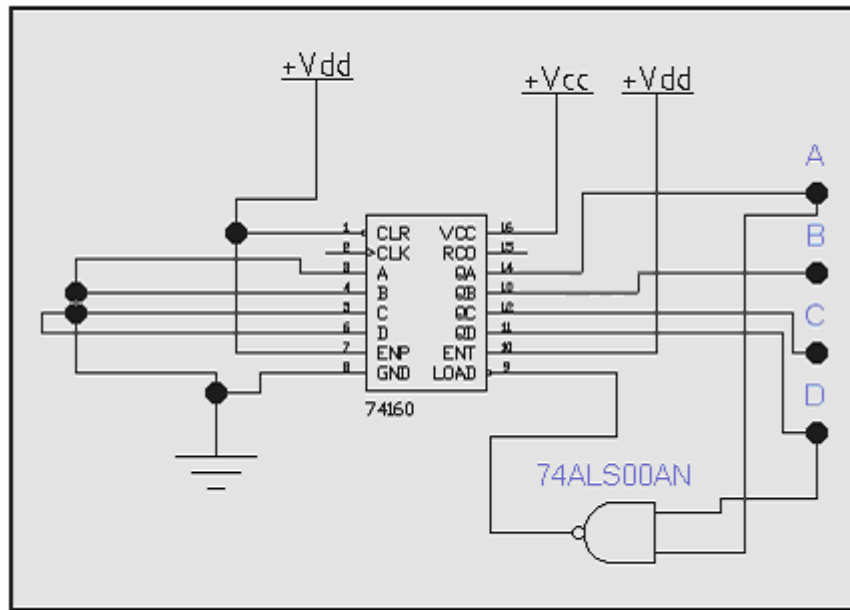


Figura 2 - Implementação do contador binário de 4 bits 74160

3.2 Conversor BCD por CI

Para o sistema anterior, implemente directamente o conversor 7447 em lugar dos demultiplexers.

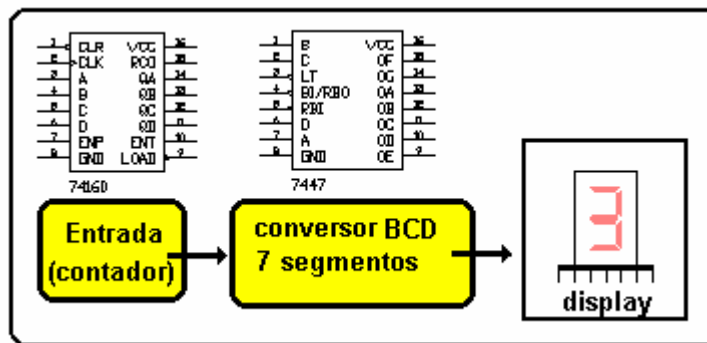


Figura 3 - Esquema explicativo do sistema